

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-046275

(43)Date of publication of application : 14.02.1997

(51)Int.Cl. H04B 3/04
G11B 20/10
H03H 21/00
H04N 5/14
H04N 5/21
H04N 7/32

(21)Application number : 07-208486

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.07.1995

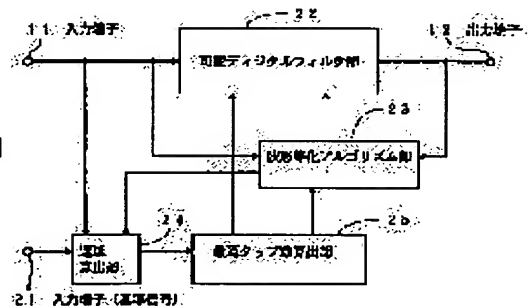
(72)Inventor : AZAGAMI YASUSHI
UNNO HIROYUKI
SAKASHITA SEIJI

(54) ADAPTIVE WAVEFORM EQUALIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce square difference between a reference signal and an output level by calculating optimum number of taps and tap coefficient from the delay of the reflected wave of an input signal so as to change a digital filter to the optimum number of taps.

SOLUTION: A delay calculation part 24 calculates the delay quantity of the reflected wave of the input signal from the input signal inputted to an input terminal 11 and the reference signal inputted to an input terminal 21. An optimum number of taps calculation part 25 calculates the optimal number of taps responding to the input signal from the delay quantity of the reflected wave of the calculated input signal and sends information on the optimum number of taps. Thereby a variable digital filter part 22 switches the number of the taps of the digital filter to the optimum number of taps and a waveform-equalized algorithm part 23 calculates the tap coefficient of the optimum number of taps and writes the tap coefficient in the variable digital filter part 22. Consequently the input signal is waveform-equalized by the optimum number of taps to reduce the square difference between the reference signal and the output level of the digital filter.



LEGAL STATUS

[Date of request for examination] 15.02.2000

[Date of sending the examiner's decision of rejection] 27.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-11748

[Date of requesting appeal against examiner's decision of rejection] 25.06.2003

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-46275

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/04			H 0 4 B 3/04	A
G 1 1 B 20/10	3 2 1	7736-5D	G 1 1 B 20/10	3 2 1 A
H 0 3 H 21/00		8842-5J	H 0 3 H 21/00	
H 0 4 N 5/14			H 0 4 N 5/14	Z
5/21			5/21	A

審査請求 未請求 請求項の数16 F D (全 13 頁) 最終頁に続く

(21) 出願番号 特願平7-208486

(22) 出願日 平成7年(1995)7月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 阿座上 裕史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 海野 浩之

宮城県仙台市泉区明通二丁目5番地 株式
会社松下通信仙台研究所内

(72) 発明者 坂下 誠司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

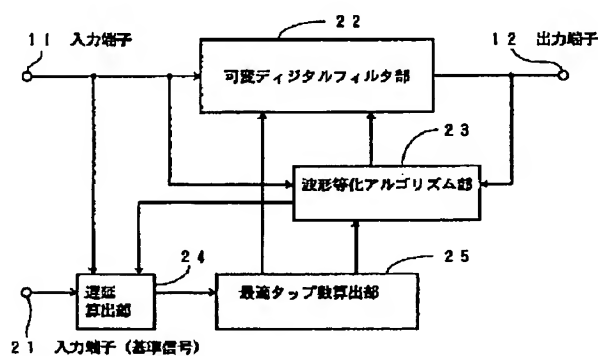
(74) 代理人 弁理士 齊藤 勲

(54) 【発明の名称】 適応型波形等化器

(57) 【要約】

【目的】 入力信号に応じデジタルフィルタを最適タップ数に変更して基準信号とデジタルフィルタの出力レベル間の二乗誤差を小さくすること。

【構成】 波形等化器に対する入力信号と基準信号とから入力信号の反射波の遅延量を算出する遅延算出部24と、入力信号の反射波の遅延量から入力信号に応じた最適なタップ数を算出する最適タップ数算出部25と、最適タップ数に対応してタップ数を変更する可変デジタルフィルタ部22と、可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出し該タップ係数を可変デジタルフィルタ部に書き込む波形等化アルゴリズム部23とを備え、デジタルフィルタを最適タップ数に変更するようにした。



【特許請求の範囲】

【請求項1】 波形等化器に対する入力信号と基準信号とから入力信号の反射波の遅延量を算出する遅延算出部と、入力信号の反射波の遅延量から入力信号に応じた最適なタップ数を算出する最適タップ数算出部と、前記最適タップ数に対応してタップ数を変更する可変デジタルフィルタ部と、可変デジタルフィルタ部の入力信号と出力信号と前記最適タップ数とを用いてタップ係数を算出し該タップ係数を前記可変デジタルフィルタ部に書き込む波形等化アルゴリズム部とを備えたことを特徴とする適応型波形等化器。

【請求項2】 前記可変デジタルフィルタ部は、タップ数が数種類の複数のデジタルフィルタからなるデジタルフィルタ部と、前記複数のデジタルフィルタの出力から最適タップ数のものを選択すべく該出力を切り替える最適タップ数セレクトとを含み、前記最適タップ数セレクトにおいて前記最適タップ数算出部からの最適タップの制御により、デジタルフィルタのタップ数を変更するようにしたことを特徴とする請求項1記載の適応型波形等化器。

【請求項3】 前記可変デジタルフィルタ部は、デジタルフィルタをサブブロックに分割してなるデジタルフィルタ部と、前記分割したデジタルフィルタのサブブロックの出力から最適タップ数のものを選択すべく該出力を切り替える最適タップ数セレクトとを含み、前記最適タップ数セレクトにおいて前記最適タップ数算出部からの最適タップの制御により、デジタルフィルタのタップ数を変更するようにしたことを特徴とする請求項1記載の適応型波形等化器。

【請求項4】 前記遅延算出部は、入力信号と基準信号の差分を計算する差分計算部と、該差分から前記入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とする請求項1記載の適応型波形等化器。

【請求項5】 前記遅延算出部は、一定時間波形等化を行い算出されたタップ係数を監視するタップ係数監視部と、該タップ係数監視部におけるタップ係数の変化量の検出から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とする請求項1記載の適応型波形等化器。

【請求項6】 波形等化器に対する入力信号と基準信号とから該入力信号のD/U比を算出するD/U比算出部と、入力信号のD/U比から必要なタップ数を算出する必要タップ数算出部と、前記必要タップ数から入力信号に最適なタップ数を算出する最適タップ数算出部と、前記最適タップ数に対応してタップ数を変更する可変デジタルフィルタ部と、前記可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出し該タップ係数を前記可変デジタルフィルタ部に書き込む波形等化アルゴリズム部とを備えたことを特徴とする適応型波形等化器。

【請求項7】 前記可変デジタルフィルタ部は、タップ数が数種類の複数のデジタルフィルタからなるデジタルフィルタ部と、前記複数のデジタルフィルタの出力から最適タップ数のものを選択すべく該出力を切り替える最適タップ数セレクトとを含み、前記最適タップ数セレクトにおいて前記最適タップ数算出部からの最適タップの制御により、デジタルフィルタのタップ数を変更するようにしたことを特徴とする請求項6記載の適応型波形等化器。

【請求項8】 前記可変デジタルフィルタ部は、デジタルフィルタをサブブロックに分割してなるデジタルフィルタ部と、前記分割したデジタルフィルタのサブブロックの出力のうち最適タップ数のものを選択すべく該出力を切り替える最適タップ数セレクトとを含み、前記最適タップ数セレクトにおいて前記最適タップ数算出部からの最適タップの制御により、デジタルフィルタのタップ数を変更するようにしたことを特徴とする請求項6記載の適応型波形等化器。

【請求項9】 デジタルフィルタと、該デジタルフィルタの入力信号と基準信号から入力信号の反射波の遅延を算出する遅延算出部と、前記入力信号の反射波の遅延から入力信号に応じた最適なタップ数を算出する最適タップ数算出部と、デジタルフィルタの入力信号と出力信号から計算したタップ係数と前記最適タップ数とからタップ係数を算出し前記デジタルフィルタに書き込む適応波形等化アルゴリズム部とを備えたことを特徴とする適応型波形等化器。

【請求項10】 前記適応波形等化アルゴリズム部は、前記最適タップ数に従いタップ係数のセンタータップの位置を算出するセンタータップ算出部と、波形等化アルゴリズム部とを含み、前記波形等化アルゴリズム部において前記最適タップ数に応じセンタータップの位置を移動してタップ数を変更するようにしたことを特徴とする請求項9記載の適応型波形等化器。

【請求項11】 前記適応波形等化アルゴリズム部は、前記最適タップ数に従い不要なタップ数を算出する不要タップ数算出部と、波形等化アルゴリズム部とを含み、前記波形等化アルゴリズム部において前記最適タップ数に応じ前記デジタルフィルタの不要なタップに0を入力してタップ数を変更するようにしたことを特徴とする請求項9記載の適応型波形等化器。

【請求項12】 前記遅延算出部は、入力信号と基準信号の差分を計算する差分計算部と、該差分から前記入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とする請求項9記載の適応型波形等化器。

【請求項13】 前記遅延算出部は、一定時間波形等化を行い算出されたタップ係数を監視するタップ係数監視部と、該タップ係数監視部におけるタップ係数の変化量の検出から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とする請求項9記載の適応型波

10

20

30

40

50

形等化器。

【請求項 14】ディジタルフィルタと、該ディジタルフィルタの入力信号と基準信号とから該入力信号の D/U 比を算出する D/U 比算出部と、前記入力信号の D/U 比から入力信号に必要なタップ数を算出する必要タップ数算出部と、必要タップ数から最適なタップ数を算出する最適タップ数算出部と、ディジタルフィルタの入力信号と出力信号とから計算したタップ係数と前記最適タップ数算出部で求めた最適タップ数とを用いて前記ディジタルフィルタに書き込むべきタップ係数を算出する適応波形等化アルゴリズム部とを備えたことを特徴とする適応型波形等化器。

【請求項 15】前記適応波形等化アルゴリズム部は、前記最適タップ数に従いタップ係数のセンタータップの位置を算出するセンタータップ算出部と、波形等化アルゴリズム部とを含み、前記波形等化アルゴリズム部において前記最適タップ数に応じセンタータップの位置を移動してタップ数を変更するようにしたことを特徴とする請求項 14 記載の適応型波形等化器。

【請求項 16】前記適応波形等化アルゴリズム部は、前記最適タップ数に従い不要なタップ数を算出する不要タップ数算出部と、波形等化アルゴリズム部とを含み、前記波形等化アルゴリズム部において前記最適タップ数に応じ前記ディジタルフィルタの不要なタップに 0 を入力してタップ数を変更するようにしたことを特徴とする請求項 14 記載の適応型波形等化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディジタル波形を整形して歪みを減少させるディジタルフィルタを有する波形等化器に関する。

【0002】

【従来の技術】近年、DAT（ディジタルオーディオテープレコーダ）から始まり、テレビチューナー等に使用するため、高密度ディジタル処理を行う製品が製品化されている。このような機器を実現するため、記録媒体から読み出すとか、伝送路を通して遠方から受信した歪んだディジタル波形を整形してディジタルデータを再生する波形等化回路が用いられている。

【0003】この波形等化回路にはいろいろな形式のものが用いられているが、よく使用される回路にトランスバースアルフィルタがある。このトランスバースアルフィルタを用いた波形等化回路で、その特性を自動的に調整するように構成された適応型波形等化器が、従来、よく使

$$\frac{d e_k}{d C_j} \propto -2 \sum_{k=1}^K X_{k-1} \cdot e_k$$

【0011】この方向にタップ係数を更新していけば最終的には基準出力レベルとトランスバースアルフィルタの出力レベルの二乗誤差が最小になり、入力信号の変化に

用されている。適応型波形等化器については、参考文献として、電気通信学会編「ディジタル信号処理」第 11 章がある。

【0004】上記、従来の適応型波形等化器としては、例えば、図 11 に示すようなものがあつた。図 11 は従来の適応型波形等化器の構成例を示すブロック図である。図 11 において、11 はディジタル入力信号を入力する入力端子、12 は波形等化処理されたディジタル信号を出力する出力端子、13 は 3 タップのトランスバースアルフィルタ、14 は所定のタップ係数の値を記憶する記憶手段、15 は入力及び出力信号を用いてタップ係数を出力する係数設定回路、16 はタップ係数が所定の範囲を越えた場合に係数リセット命令を係数設定回路に出力する係数監視回路である。また、トランスバースアルフィルタ 13 を構成する 131 は遅延器、132 はタップ係数の乗算器、133 は遅延信号の加算器である。

【0005】以下、図 11 を参照して、上記従来の適応型波形等化器の動作について説明する。まず、歪んだ入力信号が入力端子 11 から入力され、トランスバースアルフィルタ 13 で等化された信号が出力端子 12 から出力される。トランスバースアルフィルタ 13 の入出力信号の関係式は、タップ数を $2N+1$ 、各タップ係数を C_j 、入力信号系列を X_n とすると、次式〔数 1〕の通りである。

【0006】

〔数 1〕

$$Y_k = \sum_{j=-N}^N C_j \cdot X_{k-1}$$

【0007】（ここで、 X_{k-1} は X_n で表す）、この入出力信号を用いて係数設定回路 15 では、次のような演算を行いタップ係数を決める。所定の基準出力レベルを d_k とすると、基準出力レベルとトランスバースアルフィルタ 13 の出力レベルとの二乗誤差 e_k^2 は、次の式〔数 2〕により求められる。

【0008】

〔数 2〕

$$e_k^2 = (d_k - Y_k)^2$$

【0009】そこで、 e_k を小さくするには、 K を e_k の平均化の回数とすると、係数誤差信号が次の式〔数 3〕により求められるので、

【0010】

〔数 3〕

適応した等化特性が得られる。

【0012】

【発明が解決しようとする課題】しかしながら、上記従

来の適応型波形等化器においては、入力信号の状態にかかわらずトランスバーサルフィルタ（以下、デジタルフィルタという）のタップ数が固定であったため、必要以上のタップに値を代入または設定することにより、タップ係数の更新を繰り返した末に得られたであろう基準出力レベルとデジタルフィルタの実際の出力レベルとの間の二乗誤差が大きくなるという問題があった。

【0013】本発明は、上記従来の問題に鑑みてなされたもので、入力信号から最適なタップ数を計算し、それに
10 応じてデジタルフィルタのタップ数を変更し、基準出力レベルとデジタルフィルタの出力レベルとの間の二乗誤差を小さくする適応型波形等化器を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明による適応型波形等化器は、上記の目的を達成するため、波形等化器に対する入力信号と基準信号とから入力信号の反射波の遅延量を算出する遅延算出部と、入力信号の反射波の遅延量から入力信号に応じた最適なタップ数を算出する最適
20 タップ数算出部と、最適タップ数に対応してタップ数を変更可能な可変デジタルフィルタ部と、可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出し、該タップ係数を可変デジタルフィルタ部に書き込む波形等化アルゴリズム部とを備えたことを特徴とするものである。

【0015】また、本発明による適応型波形等化器は、上記の目的を達成するため、可変デジタルフィルタ部には、タップ数が数種類の複数のデジタルフィルタからなるデジタルフィルタ部と、デジタルフィルタ部の出力のうち最適タップ数のものに切り替える最適
30 タップ数セクタとを含まれ、最適タップ数算出部からの最適タップの制御により、最適タップ数セクタにおいてデジタルフィルタのタップ数を変更可能としたことを特徴とするものである。

【0016】また、本発明による適応型波形等化器は、上記の目的を達成するため、可変デジタルフィルタ部が、デジタルフィルタをサブブロックに分割したデジタルフィルタ部と、サブブロックに分割したデジタルフィルタの出力のうち最適タップ数のものに切り替える最適
40 タップ数セクタとを含み、最適タップ数算出部からの最適タップの制御により、最適タップ数セクタにおいてデジタルフィルタのタップ数を変更可能としたことを特徴とするものである。

【0017】また、本発明による適応型波形等化器は、上記の目的を達成するため、遅延算出部が、入力信号と基準信号の差分を計算する差分計算部と、該差分から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とするものである。

【0018】また、本発明による適応型波形等化器は、上記の目的を達成するため、遅延算出部が、一定時間波
50

形等化を行い、算出されたタップ係数を監視するタップ係数監視部と、該タップ係数監視部におけるタップ係数の変化量の検出から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とするものである。

【0019】また、本発明による適応型波形等化器は、上記の目的を達成するため、波形等化器に対する入力信号と基準信号とから該入力信号のD/U比を算出するD/U比算出部と、入力信号のD/U比から必要なタップ数を算出する必要タップ数算出部と、必要タップ数から入力信号に最適なタップ数を算出する最適タップ数算出部と、最適タップ数に対応してタップ数を変更可能な可変デジタルフィルタ部と、可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出し該タップ係数を可変デジタルフィルタ部に書き込む波形等化アルゴリズム部とを備えたことを特徴とするものである。

【0020】また、本発明による適応型波形等化器は、上記の目的を達成するため、可変デジタルフィルタ部には、タップ数が数種類の複数のデジタルフィルタからなるデジタルフィルタ部と、デジタルフィルタ部の出力のうち最適タップ数のものに切り替える最適
20 タップ数セクタとを含み、最適タップ数算出部からの最適タップの制御により、最適タップ数セクタにおいてデジタルフィルタのタップ数を変更可能としたことを特徴とするものである。

【0021】また、本発明による適応型波形等化器は、上記の目的を達成するため、可変デジタルフィルタ部が、デジタルフィルタをサブブロックに分割したデジタルフィルタ部と、サブブロックに分割したデジタルフィルタの出力のうち最適タップ数のものに切り替える最適
30 タップ数セクタとを含み、最適タップ数算出部からの最適タップの制御により、最適タップ数セクタにおいてデジタルフィルタのタップ数を変更可能としたことを特徴とするものである。

【0022】また、本発明による適応型波形等化器は、上記の目的を達成するため、デジタルフィルタと、該デジタルフィルタの入力信号と基準信号から入力信号の反射波の遅延を算出する遅延算出部と、入力信号の反射波の遅延から入力信号に応じた最適なタップ数を算出する最適
40 タップ数算出部と、デジタルフィルタの入力信号と出力信号から計算したタップ係数と最適タップ数とからタップ係数を算出しデジタルフィルタに書き込む適応波形等化アルゴリズム部とを備えたことを特徴とするものである。

【0023】また、本発明による適応型波形等化器は、上記の目的を達成するため、適応波形等化アルゴリズム部が、最適タップ数に従いタップ係数のセンタータップの位置を算出するセンタータップ算出部と、波形等化アルゴリズム部とを含み、波形等化アルゴリズム部において最適
50 タップ数に応じセンタータップの位置を移動して

タップ数を可変としたことを特徴とするものである。

【0024】また、本発明による適応型波形等化器は、上記の目的を達成するため、適応波形等化アルゴリズム部が、最適タップ数に従い不要なタップ数を算出する不要タップ数算出部と、波形等化アルゴリズム部とを含み、波形等化アルゴリズム部において最適タップ数に応じデジタルフィルタの不要なタップに0を入力してタップ数を可変としたことを特徴とするものである。

【0025】また、本発明による適応型波形等化器は、上記の目的を達成するため、遅延算出部が、入力信号と基準信号の差分を計算する差分計算部と、該差分から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とするものである。

【0026】また、本発明による適応型波形等化器は、上記の目的を達成するため、遅延算出部が、一定時間波形等化を行い、算出されたタップ係数を監視するタップ係数監視部と、該タップ係数監視部におけるタップ係数の変化量の検出から入力信号の反射波の遅延を算出する遅延量算出部とを備えたことを特徴とするものである。

【0027】また、本発明による適応型波形等化器は、上記の目的を達成するため、デジタルフィルタと、該デジタルフィルタの入力信号と基準信号とから該入力信号のD/U比を算出するD/U比算出部と、入力信号のD/U比から入力信号に必要なタップ数を算出する必要タップ数算出部と、必要タップ数から最適なタップ数を算出する最適タップ数算出部と、デジタルフィルタの入力信号と出力信号とから計算したタップ係数と最適タップ数算出部で求めた最適タップ数とを用いてデジタルフィルタに書き込むべきタップ係数を算出する適応波形等化アルゴリズム部とを備えたことを特徴とするものである。

【0028】また、本発明による適応型波形等化器は、上記の目的を達成するため、適応波形等化アルゴリズム部が、最適タップ数に従いタップ係数のセンタータップの位置を算出するセンタータップ算出部と、波形等化アルゴリズム部とを含み、波形等化アルゴリズム部において最適タップ数に応じセンタータップの位置を移動してタップ数を可変としたことを特徴とするものである。

【0029】また、本発明による適応型波形等化器は、上記の目的を達成するため、適応波形等化アルゴリズム部が、最適タップ数に従い不要なタップ数を算出する不要タップ数算出部と、波形等化アルゴリズム部とを含み、波形等化アルゴリズム部において最適タップ数に応じデジタルフィルタの不要なタップに0を入力してタップ数を可変としたことを特徴とするものである。

【0030】本発明による適応型波形等化器は、以上説明したように構成したことにより、波形等化器に対する入力信号に応じ入力信号に最適なタップ数を算出して、その最適なタップ数のデジタルフィルタにより波形等化を行うようにしたことにより、基準信号の基準出力レ

ベルとデジタルフィルタの出力レベルとの間の二乗誤差が最小の波形等化を行うことができる。

【0031】

【発明の実施の形態】

【0032】以下、添付図面、図1乃至図10に基づき、本発明の第1乃至第4の実施の形態における適応型波形等化器を詳細に説明する。図1は本発明の第1の実施の形態における適応型波形等化器の構成を示すブロック図、図2は図1に示す可変デジタルフィルタ部の詳細な構成の一例を示すブロック図、図3は図1に示す可変デジタルフィルタ部の詳細な構成の他の例を示すブロック図、図4は図1に示す遅延算出部の詳細な構成の一例を示すブロック図である。

【0033】また、図5は図1に示す遅延算出部の詳細な構成の他の例を示すブロック図、図6は本発明の第2の実施の形態における適応型波形等化器の構成を示すブロック図、図7は本発明の第3の実施の形態における適応型波形等化器の構成を示すブロック図、図8は図7に示す適応波形等化アルゴリズム部の詳細な構成の一例を示すブロック図、図9は図7に示す適応波形等化アルゴリズム部の詳細な構成の他の例を示すブロック図、図10は本発明の第4の実施の形態における適応型波形等化器の構成を示すブロック図である。

【0034】〔発明の第1の実施の形態〕まず、図1を参照して、本発明の第1の実施の形態における適応型波形等化器の構成について説明する。図1において、11はデジタル入力信号（以下、入力信号という）を入力する入力端子、21は基準出力レベルを有する基準信号を入力する入力端子、12は出力端子、22はタップ数を最適タップ数に変更可能な可変デジタルフィルタ部、23は可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出しそのタップ係数を可変デジタルフィルタ部に書き込む波形等化アルゴリズム部、24はデジタルフィルタ部の入力信号と基準信号とから入力信号の反射波の遅延を算出する遅延算出部、25は入力信号の反射波の遅延から入力信号に応じた最適なタップ数を算出する最適タップ数算出部である。

【0035】次に、図1を参照して、本発明の第1の実施の形態における適応型波形等化器の動作について説明する。まず、反射波の遅延が乗った入力信号が入力端子11に入力される。入力された入力信号は入力端子11から遅延算出部24に送られる。遅延算出部24において、その入力信号の反射波の遅延を算出し、その遅延の情報を最適タップ数算出部25に送る。最適タップ数算出部25では、最適タップ数をm、反射波の遅延をd、センタータップの位置をcとすると、最適タップ数mは、次式〔数4〕により求められる。

【0036】

〔数4〕

$$m=c+d$$

【0037】そして、最適タップ数の情報を可変デジタルフィルタ部22及び波形等化アルゴリズム部23に送る。可変デジタルフィルタ部22では、後述するように、デジタルフィルタのタップ数を最適タップ数に切り替える。波形等化アルゴリズム部23では、可変デジタルフィルタ部22に対する最適タップ数のタップ係数を算出する。このように、最適タップ数の情報に応じて、最適タップ数に切り替わった可変デジタルフィルタ部22において波形等化アルゴリズム部23からの

タップ係数により波形等化を達成することができる。
【0038】以下、図2及び図3を参照して、図1に示す可変デジタルフィルタ部22の詳細な構成の例について説明する。図2は図1に示す可変デジタルフィルタ部の詳細な構成の一例を示すブロック図である。まず、図2において、11は波形等化器に対する入力端子、31は最適タップ数算出部からの入力端子、12は出力端子、32は数種類のタップ数の異なる複数のデジタルフィルタで構成されているデジタルフィルタ部、33は最適タップ数セクタである。

【0039】次に、図2を参照して、かかる可変デジタルフィルタ部22の動作について説明する。まず、入力端子11から数種類のデジタルフィルタに対し入力信号が並列に入力され、並列に最適タップ数セクタ33に出力される。一方、入力端子31から最適タップ数の情報が最適タップ数セクタ33に対して入力される。最適タップ数セクタ33は、その出力のために使用するデジタルフィルタを最適タップ数の情報に対応して切り換えるようにしたことにより、可変デジタルフィルタを実現する。

【0040】また、図3を参照して、図1に示す可変デジタルフィルタ部22の詳細な構成の他の例について説明する。図3において、11は波形等化器に対する入力端子、31は最適タップ数算出部からの入力端子、12は出力端子、41はサブブロックに分割し直列に接続したデジタルフィルタ、33は最適タップ数セクタである。

【0041】次に、図3を参照して、かかる可変デジタルフィルタ部22の動作について説明する。まず、入力端子11から直列に接続された最初のデジタルフィルタに対し入力信号が入力され、各デジタルフィルタの出力から最適タップ数セクタ33に接続される。一方、入力端子31から最適タップ数の情報が最適タップ数セクタ33に対して入力される。最適タップ数セクタ33では、その最適タップ数に応じて、必要なデジタルフィルタを選択し、最適タップ数セクタ33で不要なデジタルフィルタをバイパスすることにより、可変デジタルフィルタを実現する。

【0042】次に、図4を参照して、図1に示す遅延算出部24の詳細な構成の一例について説明する。図4を

において、11は波形等化器に対する入力信号を入力する入力端子、21は基準出力レベルを有する基準信号を入力する入力端子、51は算出した遅延量を含む信号を最適タップ数算出部25に出力する出力端子、52は入力信号と基準信号とからその差分を算出する差分算出部、53は入力信号の反射波の遅延量を算出する遅延量算出部である。

【0043】以下、図4を参照して、かかる遅延算出部24の動作について説明する。まず、入力端子11から波形等化器に対する入力信号が入力される。そして、入力端子21には基準信号が入力される。その2つの信号は図4に示すように、遅延算出部24の差分算出部52に入力され、そこでそれら2つの信号の差分が算出される。その差分は遅延量算出部53に入力され、遅延量算出部53において差分の大きな部分に入力信号の反射波が存在すると判断して、反射波の遅延量を算出して出力する。

【0044】次に、図5を参照して、図1に示す遅延算出部24の詳細な構成の他の例について説明する。図5において、61は波形等化アルゴリズム部23からのタップ係数の情報を入力する入力端子、51は算出した遅延量を含む信号を最適タップ数算出部25に出力する出力端子、62はタップ係数の変化量を算出するタップ係数監視部、53は入力信号の反射波の遅延量を算出する遅延量算出部である。

【0045】以下、図5を参照して、かかる遅延算出部24の動作について説明する。まず、波形等化器の入力信号を可変デジタルフィルタ部22と波形等化アルゴリズム部23で構成された波形等化器において波形等化を実行する。一定時間後（特に限定的に定める必要はなく、単なる例として、本実施の形態では、2000データ通過後程度を用いた）に、タップ係数の情報を波形等化アルゴリズム部23からタップ係数監視部62に入力してタップ係数を監視する。そして、タップ係数監視部62でタップ係数の変化量を算出する。遅延量算出部53においては、タップ係数の変化量が大きいタップの位置に反射波が存在すると判定し、それにより入力信号の反射波の遅延量を算出する。

【0046】以上説明したように、本実施の形態によれば、波形等化器に対する入力信号と基準信号とによって入力信号の反射波の遅延を算出する遅延算出部と、入力信号の反射波の遅延によって入力信号の最適タップ数を算出する最適タップ数算出部と、最適タップ数のデジタルフィルタを持つ可変デジタルフィルタと、最適タップ数の波形等化アルゴリズム部とを設けることによって、波形等化器に対する入力信号について最適なタップ数を用いて波形等化を行うことができるので、基準信号の基準出力レベルとデジタルフィルタの出力レベルとの間の二乗誤差を小さくすることができる。

【0047】〔発明の第2の実施の形態〕以下、図6を

参照して、本発明の第2の実施の形態における適応型波形等化器の構成について説明する。図6は本発明の第2の実施の形態における適応型波形等化器の構成を示すブロック図である。図6において、11は波形等化器に対する入力信号を入力する入力端子、71はディザヤ／アンディザヤ比（望ましい信号レベルと実際の望ましくない信号レベルとの比、以下、D/U比という）の算出に必要な基準信号を入力する入力端子である。

【0048】また、12は出力端子、22はタップ数を最適タップ数に変更可能な可変デジタルフィルタ部、23は可変デジタルフィルタ部の入力信号と出力信号と最適タップ数とを用いてタップ係数を算出しそのタップ係数を可変デジタルフィルタ部に書き込む波形等化アルゴリズム部、25は入力信号の反射波の遅延から入力信号に応じた最適なタップ数を算出する最適タップ数算出部であり、以上は図1の構成と同様なものである。

【0049】図6に示す本発明の第2の実施の形態において、図1の構成と異なるのは、本実施の形態においては、遅延算出部24を使用せずに、波形等化器への入力信号と基準信号とによって入力信号のD/U比を算出するD/U比算出部72と入力信号のD/U比から必要なタップ数を算出する必要タップ数算出部73とを使用したことである。

【0050】次に、図6を参照して、本発明の第2の実施の形態における適応型波形等化器の動作について説明する。まず、入力端子11に入力された波形等化器への入力信号はD/U比算出部72に入力される。D/U比算出部72において、その入力信号のD/U比は次式

〔数5〕により算出され、

【0051】

〔数5〕

$$D/U = 20 \cdot \log_{10} |X_n / (x - d)|$$

【0052】そのD/U比の情報を必要タップ数算出部73に送る。そのD/U比の情報から、必要なタップ数を必要タップ数算出部73で算出する。最適タップ数算出部25では、最適タップ数をm、必要タップ数をT、センタータップの位置をcとすると、最適タップ数mは次式〔数6〕により算出される。

【0053】

〔数6〕

$$m = c + T$$

【0054】最適タップ数算出部25において最適タップ数が算出された後は、上記第1の実施の形態と同様な動作によって波形等化が達成される。本実施の形態においても、可変デジタルフィルタ部22の構成は図2及び図3に示したものと同様である。

【0055】以上の説明のように、本実施例によれば、波形等化器への入力信号と基準信号とによって入力信号のD/U比を算出するD/U比算出部と、入力信号のD/U比から必要なタップ数を算出する必要タップ数算出

部と、必要なタップ数から最適タップ数を算出する最適タップ数算出部と、最適タップ数を持つ可変デジタルフィルタと、最適タップ数の波形等化アルゴリズム部を設けることによって、波形等化器への入力信号に最適なタップ数で波形等化を行うことができ、基準信号の基準出力レベルとデジタルフィルタの出力レベルの二乗誤差を小さくすることができる。

【0056】〔発明の第3の実施の形態〕以下、図7を参照して、本発明の第3の実施の形態における適応型波形等化器の構成について説明する。図7は本発明の第3の実施の形態における適応型波形等化器の構成を示すブロック図である。図7において、11は波形等化器に対する入力信号を入力する入力端子、21は基準出力レベルを有する基準信号を入力する入力端子、12は出力端子、24はデジタルフィルタ部の入力信号と基準信号とから入力信号の反射波の遅延を算出する遅延算出部、25は入力信号の反射波の遅延から入力信号に応じた最適なタップ数を算出する最適タップ数算出部であって、以上は図1の構成と同様なものである。

【0057】図7に示す本発明の第3の実施の形態において、図1の構成と異なるのは、本実施の形態においては、可変デジタルフィルタ部22の代わりに通常のデジタルフィルタ部を使用したこと、及び波形等化アルゴリズム部23の代わりに最適タップ数を用いてデジタルフィルタ部のタップ数を変更するようにした適応波形等化アルゴリズム部82を使用したことである。

【0058】次に、図7を参照して、本発明の第3の実施の形態における適応型波形等化器の動作について説明する。まず、入力端子11からの波形等化器に対する入力信号と入力端子21からの基準信号とにより上記本発明の第1の実施の形態におけると同様な動作を遅延算出部24及び最適タップ数算出部25で行い、入力信号の最適タップ数を算出する。適応波形等化アルゴリズム部82はその最適タップ数に応じて波形等化アルゴリズムを変更することにより、デジタルフィルタに供給するタップ係数を変えて、デジタルフィルタ部81と適応波形等化アルゴリズム部82とにより、最適タップ数に対応する波形等化を行わせる。

【0059】以下、図8及び図9を参照して、図7に示す適応波形等化アルゴリズム部82の詳細な構成例について説明する。まず、図8の例において、91は最適タップ数算出部25からの入力端子、92はデジタルフィルタ部81への出力端子、93は最適タップ数情報を受けて、センタータップの位置を算出するセンタータップ算出部、23は入力信号と出力信号とセンタータップの位置とを用いてそのセンタータップの位置に対応するタップ係数を算出する波形等化アルゴリズム部である。

【0060】次に、図8を参照して、図8の例における適応波形等化アルゴリズム部82の動作について説明する。まず、最適タップ数算出部25からの最適タップ数

情報を入力端子91から入力し、センタータップ算出部93において下記の式〔数7〕により、センタータップの位置を算出する。デジタルフィルタのタップ数をN、タップ係数のセンタータップの位置をc、最適タップ数をmとすると、センタータップの位置cは次式〔数7〕により求められる。

【0061】

〔数7〕

$$c = N - m$$

【0062】このようにして求めたセンタータップの位置cの情報を波形等化アルゴリズム部23に送り、そのセンタータップの位置cに適応した波形等化アルゴリズムを波形等化アルゴリズム部23で実現し、それに適応したタップ係数をデジタルフィルタ部81に出力して最適タップ数に対応した演算を行うようにしたことにより、デジタルフィルタ部81と適応波形等化アルゴリズム部82とによって、最適タップ数に応じた適切な波形等化を達成することができる。

【0063】更に、図9を参照して、図9の例における適応波形等化アルゴリズム部82の詳細な構成例について説明する。図9において、91は最適タップ数算出部25からの入力端子、92はデジタルフィルタ部81への出力端子、101は最適タップ数情報を受けて使用する必要がないタップ数を算出する不要タップ数算出部、23は入力信号と出力信号と不要タップ数情報とを用いて該情報に対応するタップ係数を算出する波形等化アルゴリズム部である。

【0064】次に、図9を参照して、図9の例における適応波形等化アルゴリズム部82の動作について説明する。まず、入力端子91に最適タップ数算出部25からの最適タップ数情報を入力し、不要タップ数算出部101において下記の式〔数8〕により、不要なタップ数を算出する。デジタルフィルタのタップ数をN、最適タップ数をm、不要タップ数をlとすると、不要タップ数lは次式〔数8〕により求められる。

【0065】

〔数8〕

$$l = N - m$$

【0066】このようにして求めた不要タップ数lの情報を波形等化アルゴリズム部23に送り、不要タップの部分に強制的に0の値を設定する波形等化アルゴリズムを波形等化アルゴリズム部23で実現し、それに適応したタップ係数をデジタルフィルタ部81に出力して最適タップ数に対応した演算を行うようにしたことにより、デジタルフィルタ部81と適応波形等化アルゴリズム部82とによって、最適タップ数に応じた適切な波形等化を達成することができる。

【0067】以上のように、本実施例によれば、波形等化器への入力信号によって入力信号の遅延を算出する遅延算出部と、入力信号の反射波の遅延によって入力信号

の最適タップ数を算出する最適タップ数算出部と、最適タップ数に基づき算出したタップ係数を用いて、デジタルフィルタ部のタップ数を変更する適応波形等化アルゴリズム部と、通常のデジタルフィルタとを設けることによって、波形等化器への入力信号に最適なタップ数で波形等化を行うことができ、基準信号の基準出力レベルとデジタルフィルタの出力レベルの二乗誤差を小さくすることができる。

【0068】〔発明の第4の実施の形態〕以下、図10を参照して、本発明の第4の実施の形態における適応型波形等化器の構成について説明する。図10は本発明の第4の実施の形態における適応型波形等化器の構成を示すブロック図である。図10において、11は波形等化器に対する入力信号を入力する入力端子、71はD/U比の算出に必要な基準信号を入力する入力端子、12は出力端子、25は入力信号の反射波の遅延から入力信号に応じた最適タップ数を算出する最適タップ数算出部、81は通常のデジタルフィルタ部、82は最適タップ数を用いてデジタルフィルタ部のタップ数を変更するようにした適応波形等化アルゴリズム部82である。

【0069】以上は図7に示す発明の第3の実施の形態における構成と同様なものである。図7の構成と異なるものは、図6に示す発明の第2の実施の形態における構成と同様に、遅延算出部24を使用せず、D/U比算出部72及び必要タップ数算出部73を使用したことである。従って、D/U比算出部72及び必要タップ数算出部73は、第2の実施の形態で説明した内容と同様な動作を行い、その他のブロックは、図7に示す本発明の第3の実施の形態で説明した内容と同様な動作を行うことによって波形等化を達成することができる。故に、これ以上の動作の説明は省略する。

【0070】以上、説明したように本実施の形態によれば、波形等化器への入力信号と基準信号とによって入力信号のD/U比を算出するD/U比算出部と、入力信号のD/U比から必要なタップ数を算出する必要タップ数算出部と、必要なタップ数から最適タップ数を算出する最適タップ数算出部と、最適タップ数を用いてデジタルフィルタのタップ数を変更する波形等化アルゴリズム部と、通常のデジタルフィルタとを設けることによって、波形等化器への入力信号に最適なタップ数で波形等化を行うことができ、基準信号の基準出力レベルとデジタルフィルタの出力レベルの二乗誤差を小さくすることができる。

【0071】

〔発明の効果〕本発明による適応型波形等化器は、以上説明したように構成し、波形等化器に対する入力信号から入力信号の反射波の遅延を遅延算出部で算出し、遅延算出部で求めた入力信号の反射波の遅延から入力信号に適した最適タップ数を最適タップ数算出部において算

15

出し、波形等化アルゴリズム部から最適タップ数に応じたタップ係数を出力し、ディジタルフィルタを最適タップ数に対し変更可能としたことにより、波形等化器への入力信号に最適なタップ数で波形等化を行うことができるため、基準信号の基準出力レベルとディジタルフィルタの出力レベルとの間の二乗誤差を小さくしうる優れた適応型波形等化器を実現することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態における適応型波形等化器の構成を示すブロック図

【図 2】図 1 に示す可変ディジタルフィルタ部の詳細な構成の一例を示すブロック図

【図 3】図 1 に示す可変ディジタルフィルタ部の詳細な構成の他の例を示すブロック図

【図 4】図 1 に示す遅延算出部の詳細な構成の一例を示すブロック図

【図 5】図 1 に示す遅延算出部の詳細な構成の他の例を示すブロック図

【図 6】本発明の第 2 の実施の形態における適応型波形等化器の構成を示すブロック図

【図 7】本発明の第 3 の実施の形態における適応型波形等化器の構成を示すブロック図

【図 8】図 7 に示す適応波形等化アルゴリズム部の詳細な構成の一例を示すブロック図

【図 9】図 7 に示す適応波形等化アルゴリズム部の詳細な構成の他の例を示すブロック図

【図 10】本発明の第 4 の実施の形態における適応型波形等化器の構成を示すブロック図

【図 11】従来の適応型波形等化器の構成例を示すブロック図

【符号の説明】

1 1 入力端子

16

1 2 出力端子

1 3 トランスペアサルフィルタ

1 4 記憶手段

1 5 係数設定回路

1 6 係数監視回路

2 1 入力端子

2 2 可変ディジタルフィルタ部

2 3 波形等化アルゴリズム部

2 4 遅延算出部

10 2 5 最適タップ数算出部

3 1 入力端子

3 2 数種類のディジタルフィルタ

3 3 最適タップ数セレクト

4 1 サブブロックに分割したディジタルフィルタ

5 1 出力端子

5 2 差分算出部

5 3 遅延量算出部

6 1 入力端子

6 2 タップ係数監視部

20 7 1 入力端子

7 2 D/U 比算出部

7 3 必要タップ数算出部

8 1 ディジタルフィルタ部

8 2 適応波形等化アルゴリズム部

9 1 入力端子

9 2 出力端子

9 3 センタータップ算出部

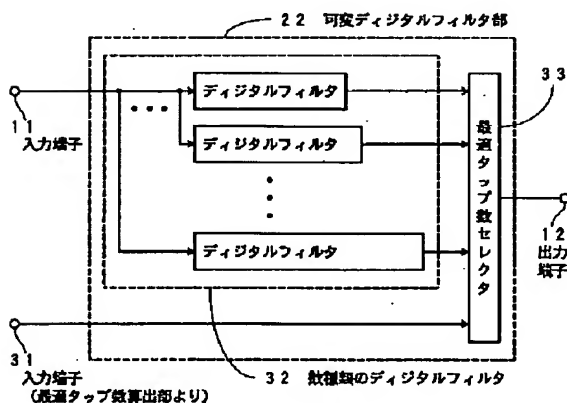
1 0 1 不要タップ数算出部

1 3 1 遅延器

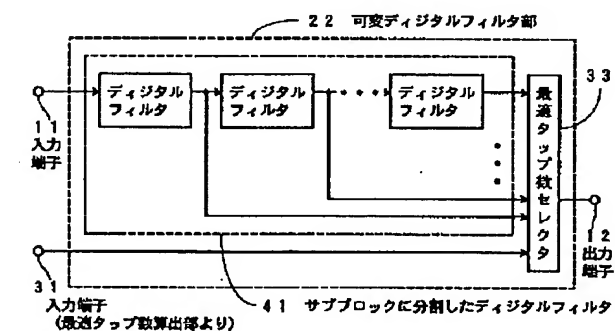
30 1 3 2 乗算器

1 3 3 加算器

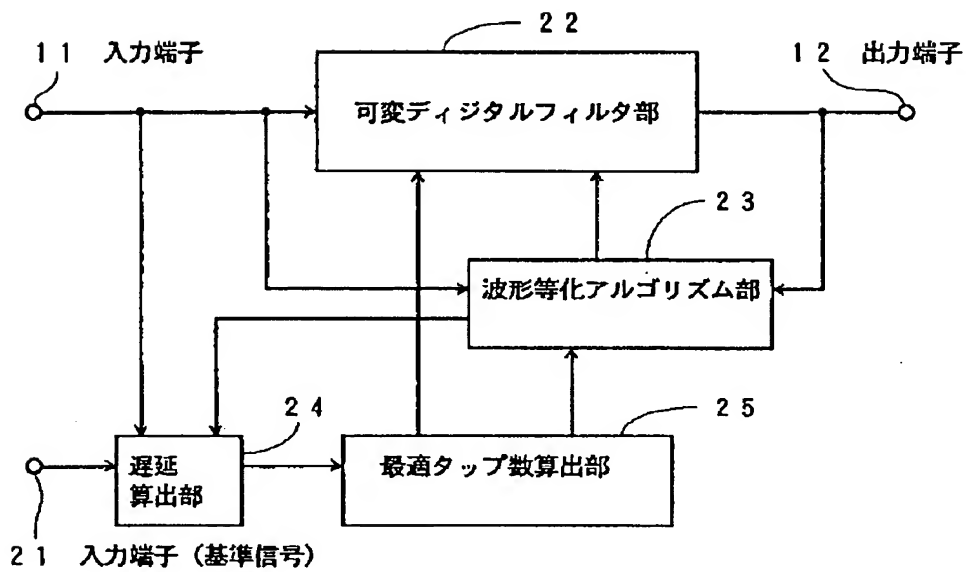
【図 2】



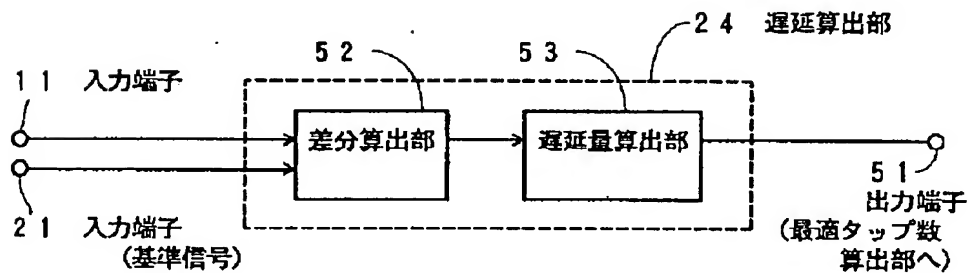
【図 3】



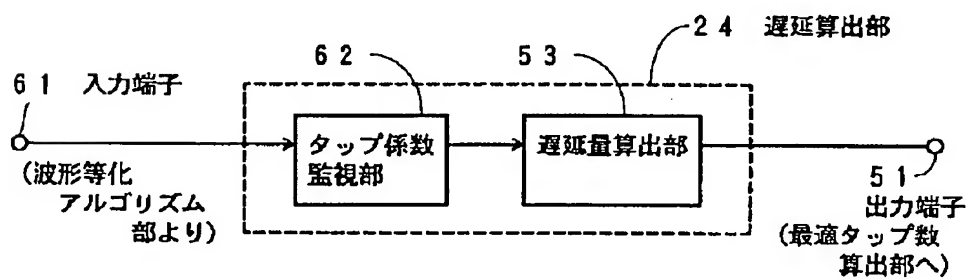
【図1】



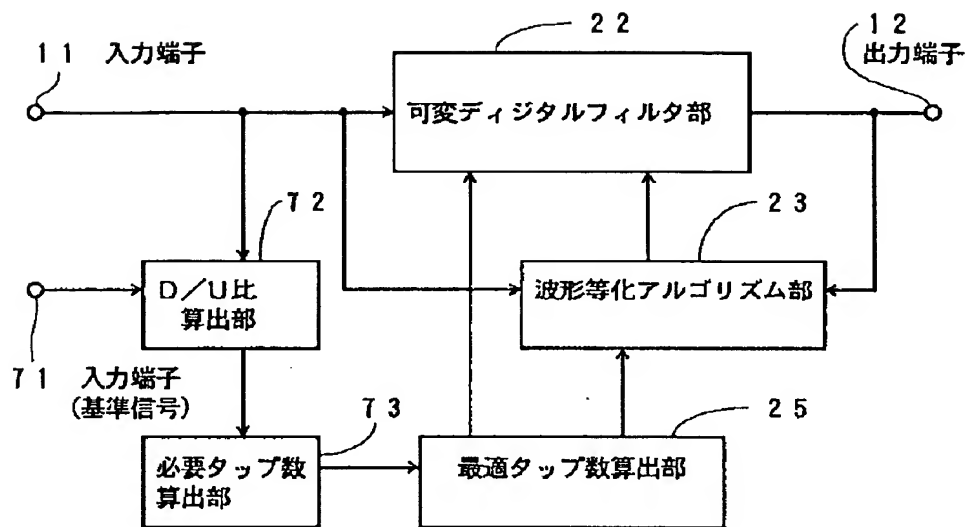
【図4】



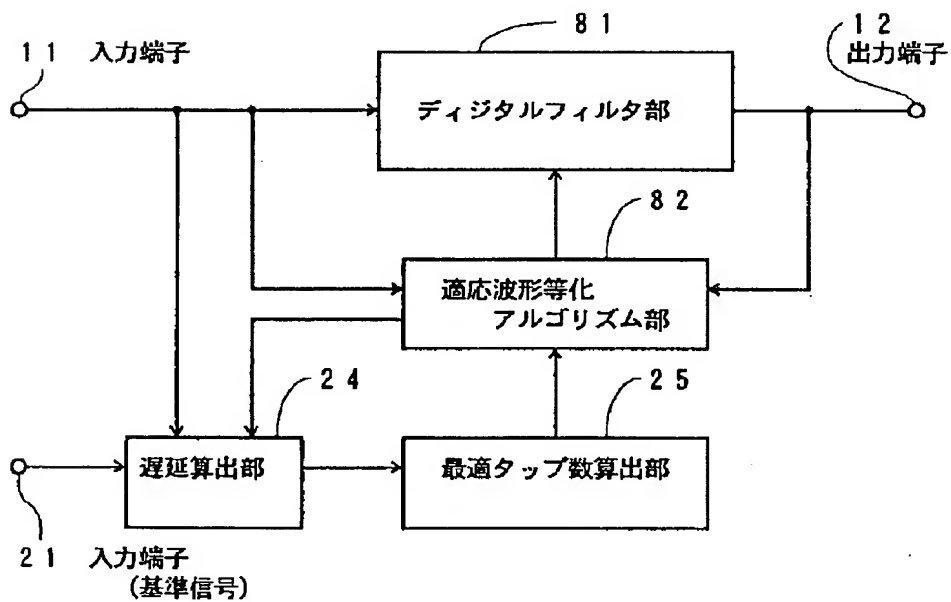
【図5】



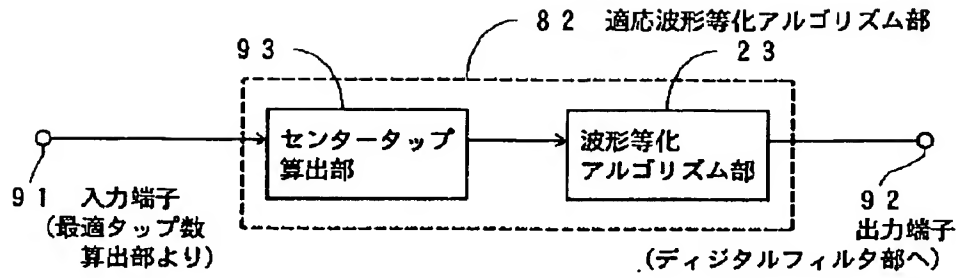
【図6】



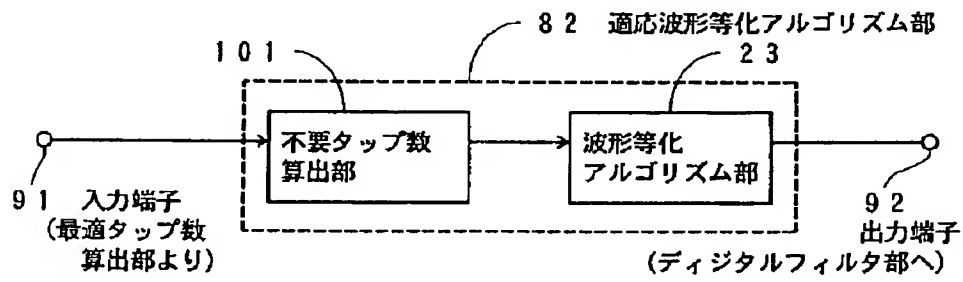
【図7】



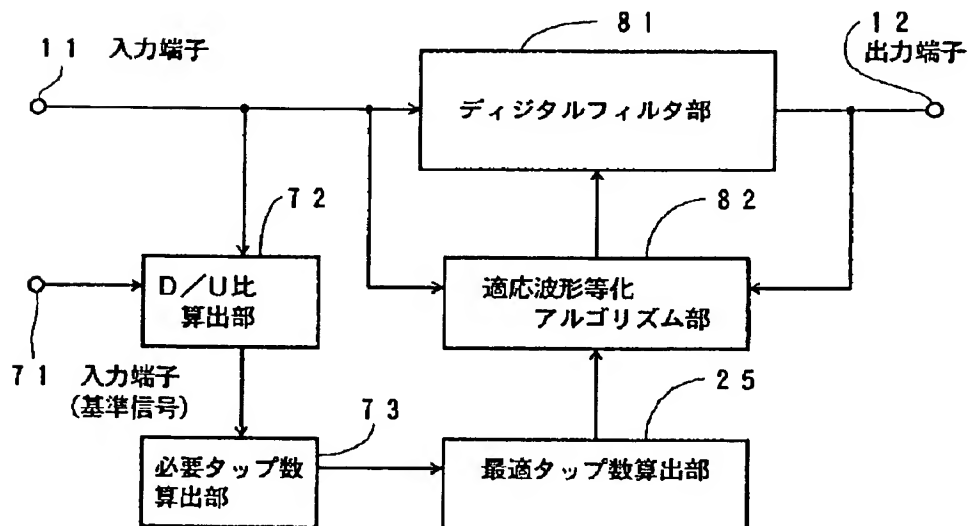
【図8】



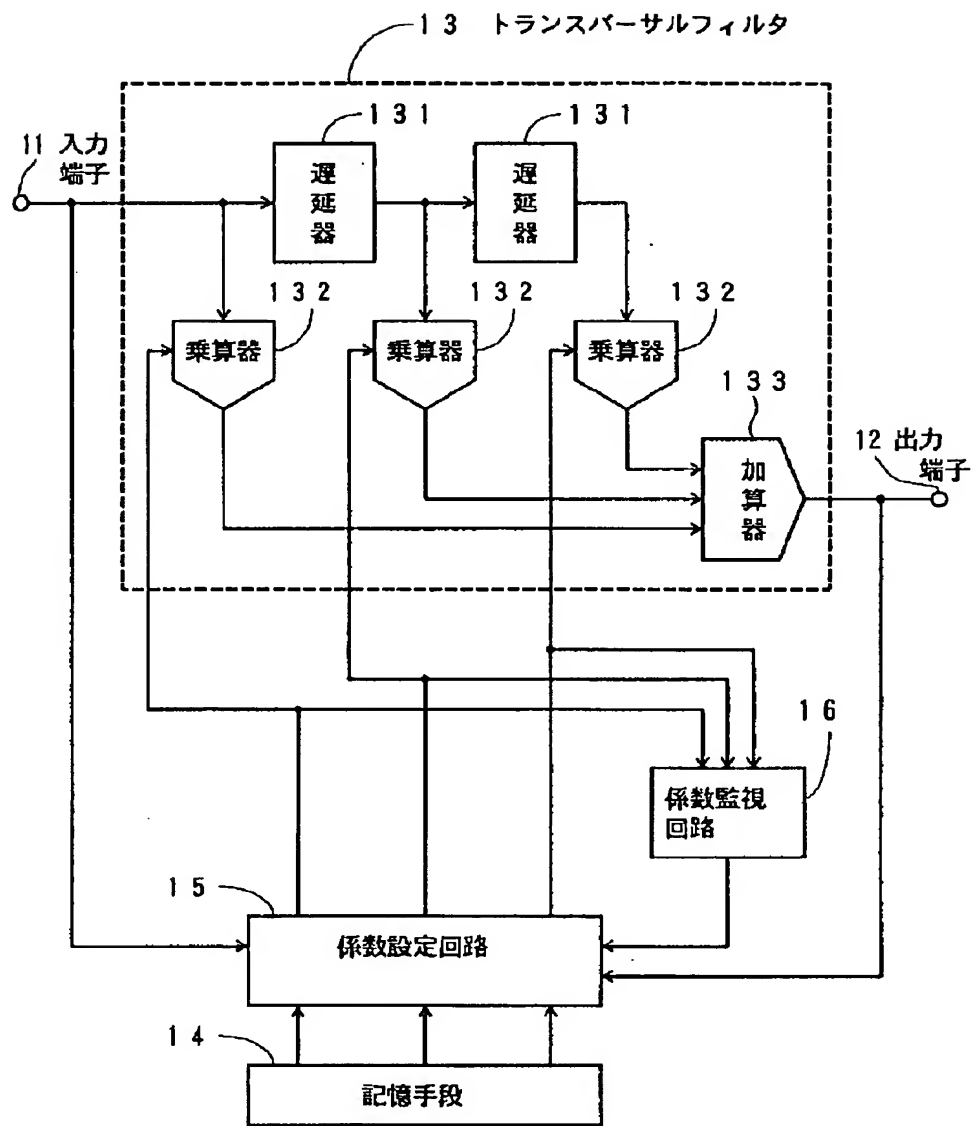
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. ⁶
H04N 7/32

識別記号 庁内整理番号

FI
H04N 7/137

技術表示箇所

Z